

數位時脈產生器(Digital Controlled Oscillator)

指導教授：盛鐸 博士

學生：林孟頌、徐瑋良、王聖雄

輔仁大學 電機工程學系 大學部專題生

摘要

一般數位電路裡所使用PLL的被稱為數位鎖相迴路(Digital Phase Locked Loop; DPLL)。但是其實這種電路裡有數位(ex: 相位及頻率偵測器)及類比(ex: 電壓控制振盪器)的混合式電路。另外也有將控制方式也全部改成數位方式的，稱為全數位式(all-digital PLL; ADPLL)。隨著CMOS製程的開發，工作電壓不斷的下降，類比PLL在設計上遭遇很大的挑戰。基於time to market的考量，為了減少重新設計PLL的時間與努力，ADPLL採用了**全數位**的設計方式，以及使用標準元件(Standard -Cell)實現ADPLL，不僅加速了設計過程，更增加PLL的**移植性**，相較於傳統PLL，**ADPLL更適合用於SoC上**。

由於以上的優點，此次專題使用了ADPLL的架構。在ADPLL中，**DCO佔了50%的功率消耗與晶片面積**。因為過往的DCO有著漏電的問題，所以我們使用完善的控制碼去控制DCO，來解決此項問題。因此，本次專題以實現低功耗的DCO為首要目標，並更進一步去改進它各方面的效能。

系統架構

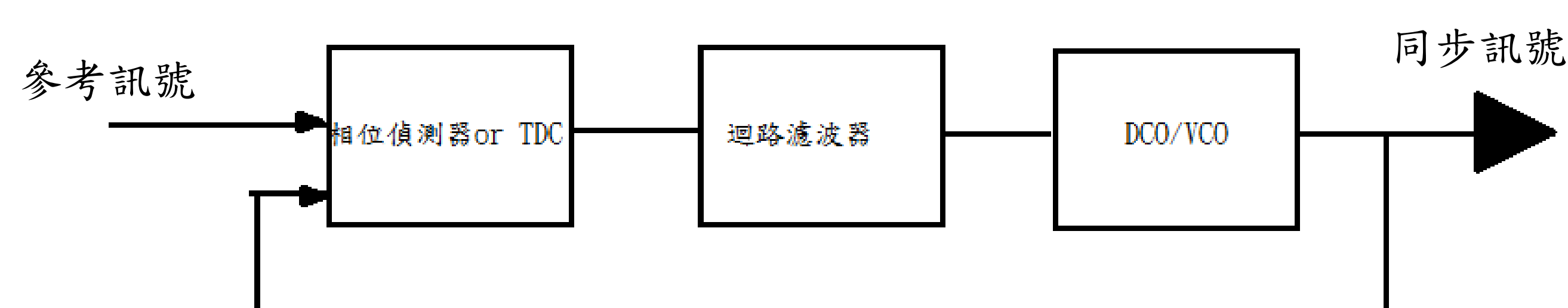


Fig. 1. PLL的簡易架構

Simple Clock Generator

- 基本運作方式由一個RESET輸入、NAND及delay cell的輸出組成。
- 初始，RESET輸入為0時，NAND的輸出為1
- 當RESET輸入從0改變成1時，NAND的輸出由1變成0
- 因為delay cell讓輸出有延遲，所以輸出會1→0→1→...**開始振盪**

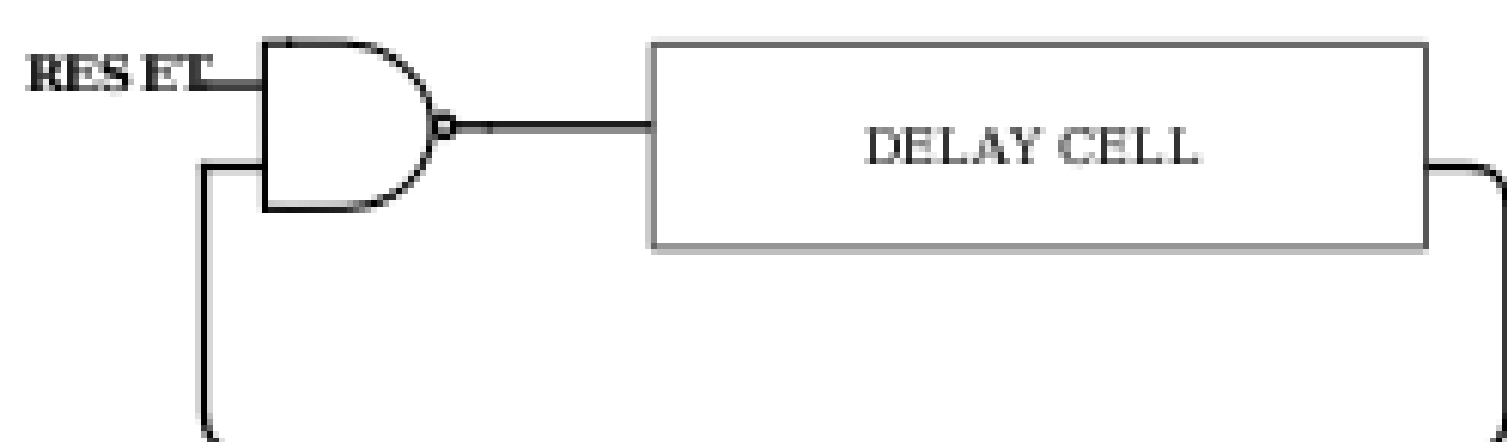


Fig.2. clock generator

Coarse-tuning stage

- 以四級coarse-tuning stage舉例

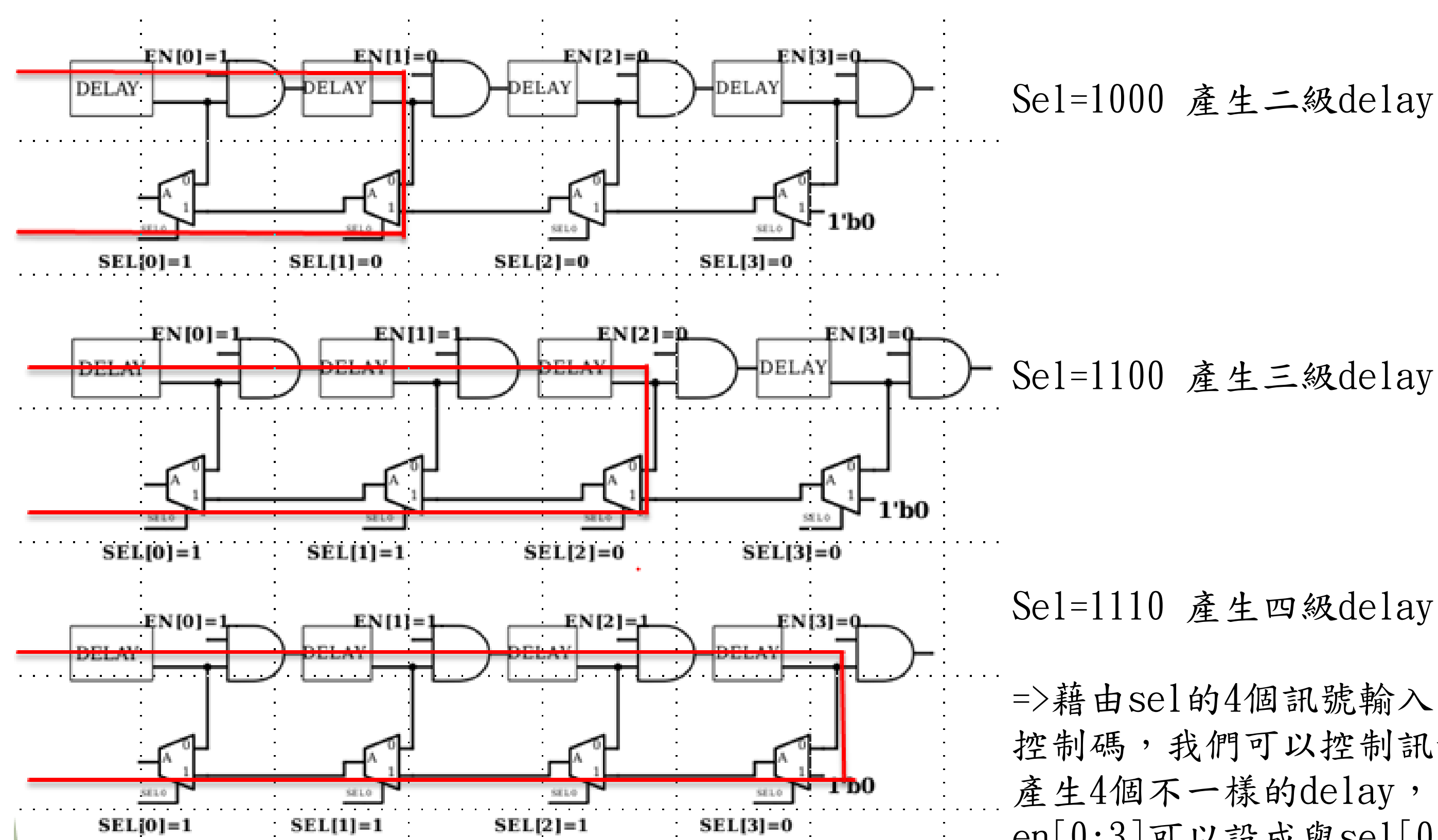


Fig.3. Coarse-tuning stage

Fine-tuning stage

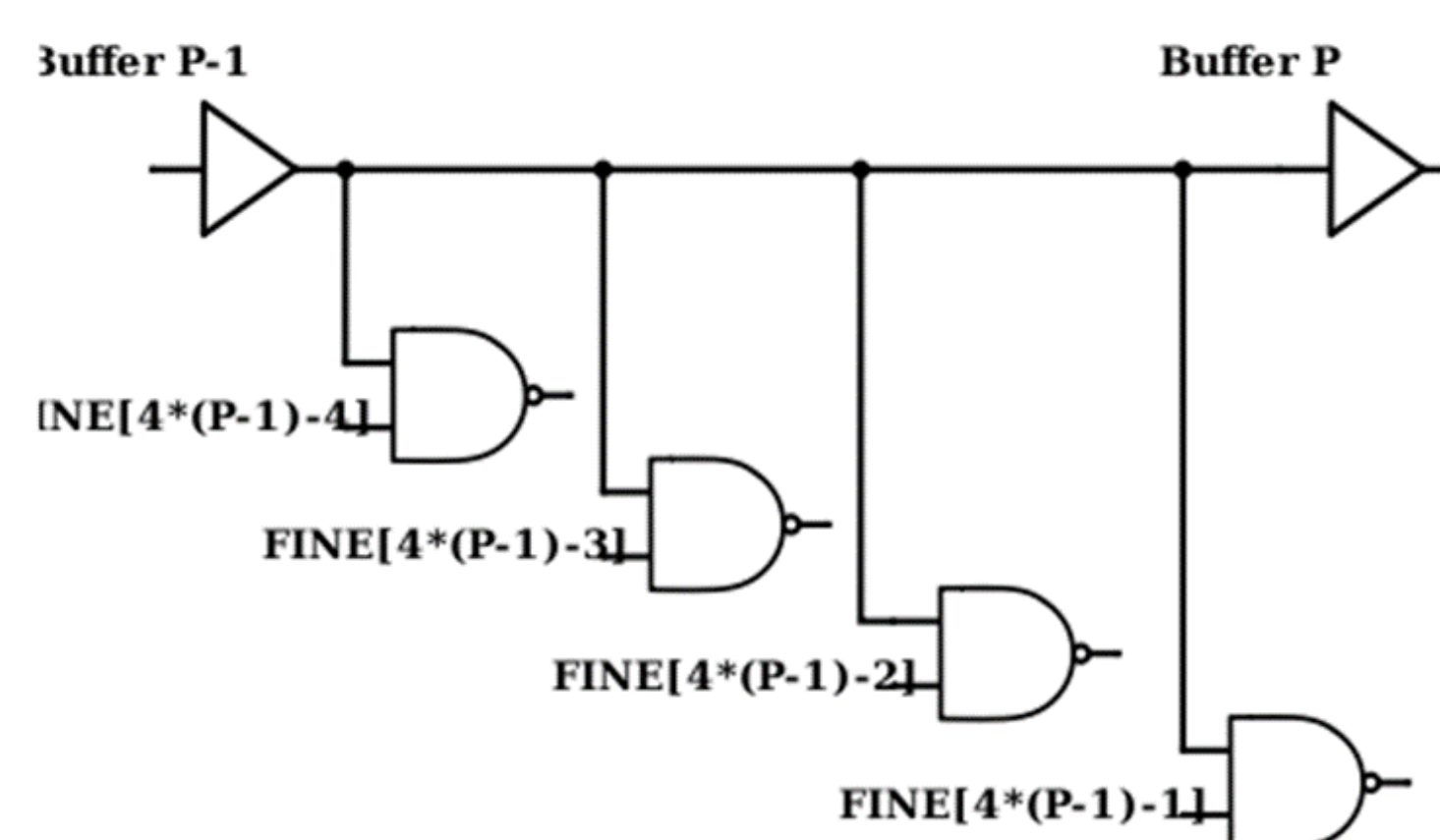
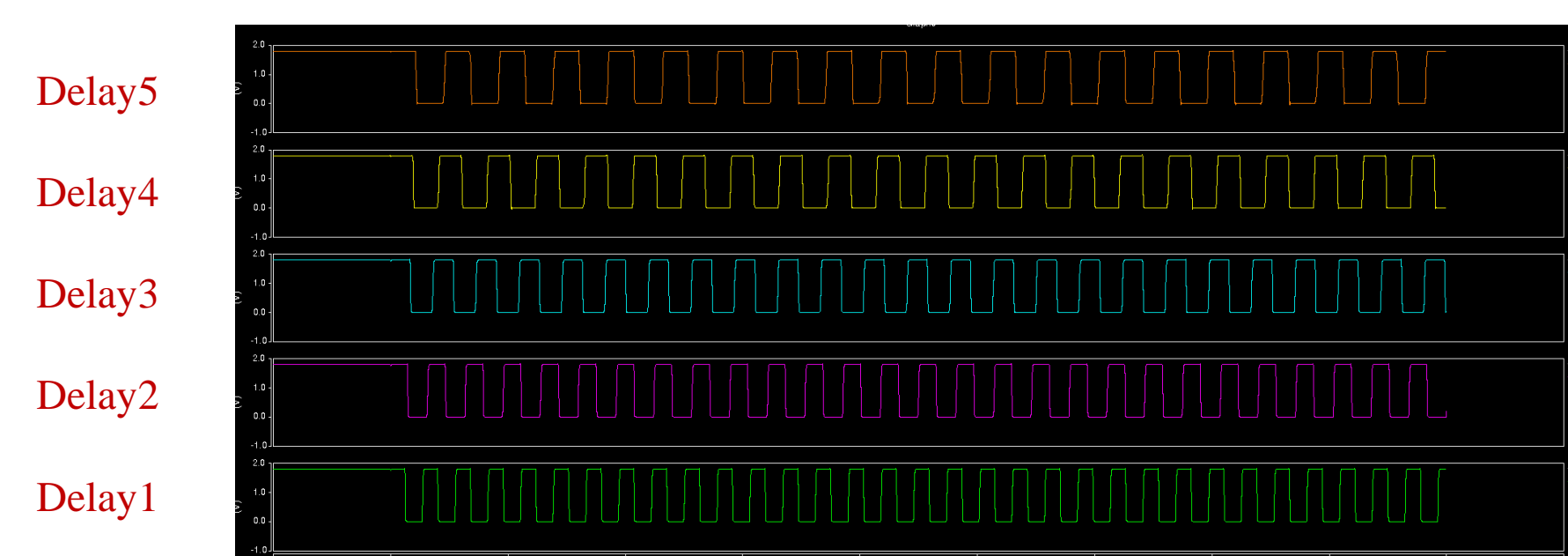


Fig.4. Fine-tuning stage

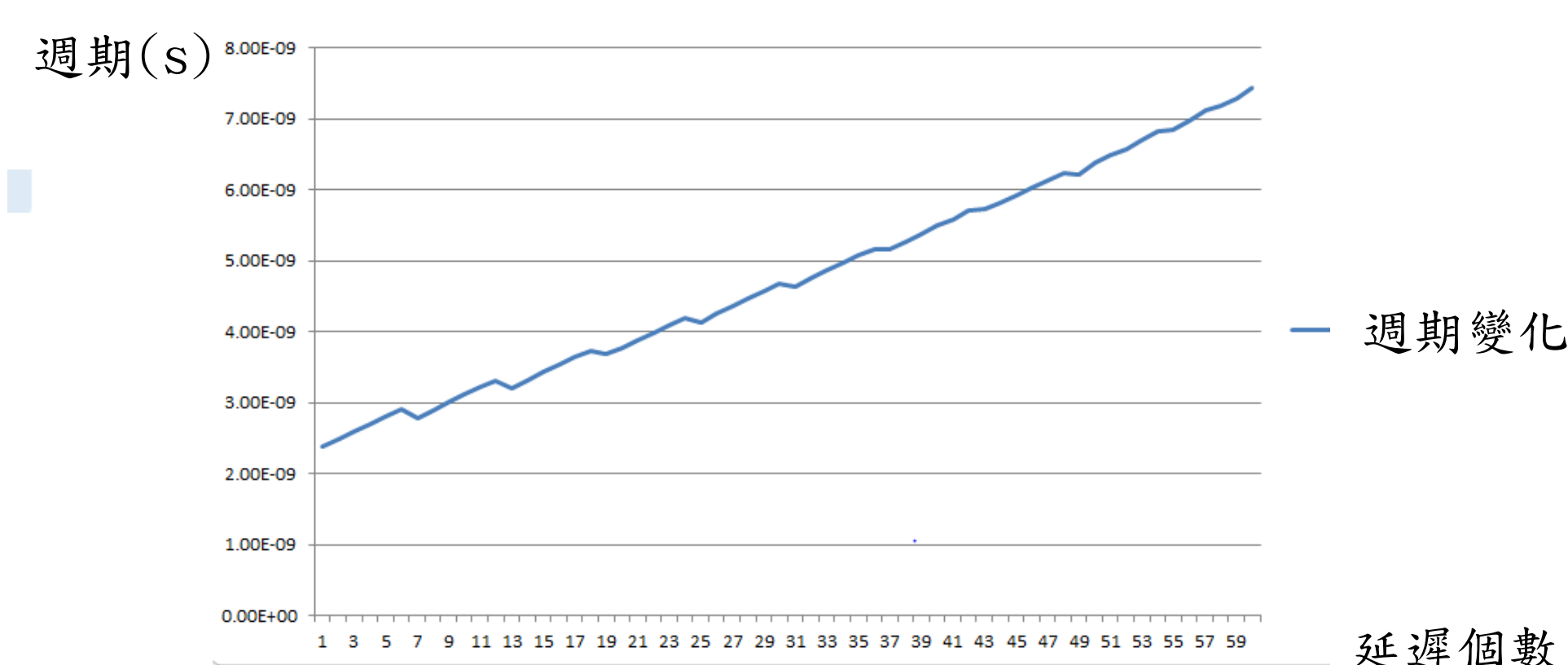
微調階段以四級為一個block，並且串接多級的block產生微調電路。

特別注意，微調電路的最大delay範圍，必須調整至大於coarse-tuning stage的一級delay，**避免dead zone的問題發生**。

實作方法與結果

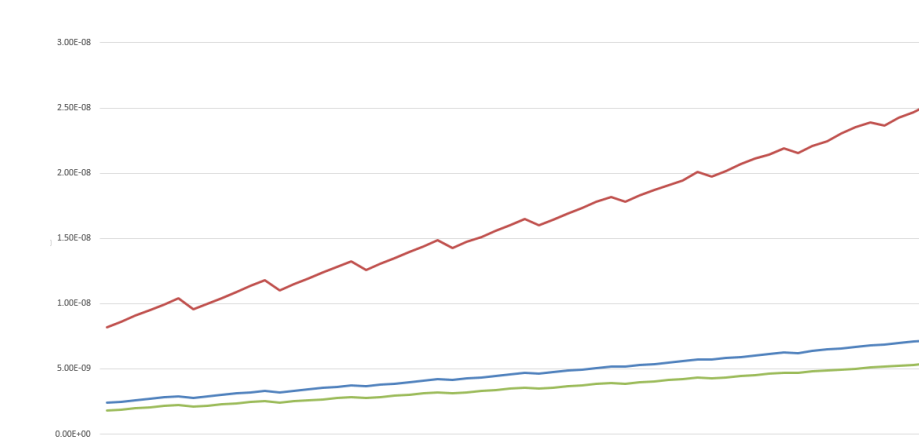


可操作的週期範圍(TT)



可操作週期：
2.39ns~7.43ns
可操作頻率：
134Mhz~418Mhz

	T T(vdd=1.8v)	S S(vdd=1.62v 100度)	FF(vdd=1.98v 0度)
Coarse-tuning step(ps)	520	1.4	3.1
Fine-tuning step(ps)	530	2.3	4.4
Average resolution(ps)	≈ 27	≈ 0.115	≈ 0.2
Max(MHz)	134	38	55
Min(MHz)	418	12	17



結論&未來目標

- 這次專題面臨了許多挑戰，第一次接觸有很多的不熟悉，但最後還是學到了很多。
- 因為在極端狀況下的模擬沒有達到預期，會改進在各個狀況下的結果，使可調整範圍更加明顯。
- 之後會再加上self-calibration電路使delay更加平整，達到參考paper中的目標。

參考資料

Built-in Self-Calibration Circuit for Monotonic Digitally Controlled Oscillator Design in 65-nm CMOS Technology

Ching-Che Chung; Chiun-Yao Ko; Sung-En Shen
IEEE Transactions on Circuits and Systems II: Express Briefs
Year: 2011, Volume: 58, Issue: 3
Pages: 149 - 153
IEEE Journals & Magazines

<http://ieeexplore.ieee.org/document/5730479/>



2017 輔仁大學電機工程學系
大學部專題成果展

